



UTM
UNIVERSITI TEKNOLOGI MALAYSIA

Sekolah Pendidikan
Profesional dan
Pendidikan
Berterusan
(SPACE)

**FINAL EXAMINATION / PEPERIKSAAN AKHIR
SEMESTER I – SESSION 2023 / 2024 / SEMESTER I – SESI 2023 / 2024
PROGRAM KERJASAMA**

COURSE CODE : DDWD 1243
KOD KURSUS

COURSE NAME : DIGITAL LOGIC /
NAMA KURSUS LOGIK DIGITAL

YEAR / PROGRAMME : 1 / DDWD
TAHUN / PROGRAM

DURATION : 2 HOURS 30 MINUTES
TEMPOH 2 JAM 30 MINIT

DATE : DECEMBER 2023 / JANUARY 2024
TARIKH DISEMBER 2023 / JANUARI 2024

INSTRUCTION : ANSWER ALL QUESTIONS AND WRITE YOUR ANSWER ON THE ANSWER SHEET.

ARAHAN : JAWAB SEMUA SOALAN DAN TULIS JAWAPAN ANDA PADA KERTAS JAWAPAN.

(You are required to write your name and your lecturer's name on your answer script)
(Pelajar dikehendaki tuliskan nama dan nama pensyarah pada skrip jawapan)

NAME / NAMA PELAJAR	:
I.C NO. / NO. K/PENGENALAN	:
YEAR / PROGRAMME TAHUN / PROGRAM	:
COLLEGE NAME NAMA KOLEJ	:
LECTURER'S NAME NAMA PENSYARAH	:

This examination paper consists of 10 pages including the cover
Kertas soalan ini mengandungi 10 muka surat termasuk kulit hadapan



UTM
UNIVERSITI TEKNOLOGI MALAYSIA

School of
Professional and
Continuing
Education
(SPACE)

PUSAT PRGORAM KERJASAMA

PETIKAN DARIPADA PERATURAN AKADEMIK ARAHAN AM – PENYELEWENGAN AKADEMIK

1. SALAH LAKU SEMASA PEPERIKSAAN

1.1. Pelajar tidak boleh melakukan mana-mana salah laku peperiksaan seperti berikut :-

- 1.1.1. memberi dan/atau menerima dan/atau memiliki sebarang maklumat dalam bentuk elektronik, bercetak atau apa jua bentuk lain yang tidak dibenarkan semasa berlangsungnya peperiksaan sama ada di dalam atau di luar Dewan/Bilik Peperiksaan melainkan dengan kebenaran Ketua Pengawas; atau
- 1.1.2. menggunakan maklumat yang diperoleh seperti di atas bagi tujuan menjawab soalan peperiksaan; atau
- 1.1.3. menipu atau cuba untuk menipu atau berkelakuan mengikut cara yang boleh ditafsirkan sebagai menipu semasa berlangsungnya peperiksaan; atau
- 1.1.4. lain-lain salah laku yang ditetapkan oleh Universiti (seperti membuat bising, mengganggu pelajar lain, mengganggu Pengawas menjalankan tugasnya).

2. HUKUMAN SALAH LAKU PEPERIKSAAN

2.1. Sekiranya pelajar didapati telah melakukan pelanggaran mana-mana peraturan peperiksaan ini, setelah diperakukan oleh Jawatankuasa Peperiksaan Fakulti dan disabitkan kesalahannya, Senat boleh mengambil tindakan dari mana-mana satu yang berikut :-

- 2.1.1. memberi markah SIFAR (0) bagi keseluruhan keputusan peperiksaan kursus yang berkenaan (termasuk kerja kursus); atau
- 2.1.2. memberi markah SIFAR (0) bagi semua kursus yang didaftarkan pada semester tersebut.

2.2. Jawatankuasa Akademik Fakulti boleh mencadangkan untuk diambil tindakan tatatertib mengikut peruntukan Akta Universiti dan Kolej Universiti, 1971, Kaedah-kaedah Universiti Teknologi Malaysia (Tatatertib Pelajar-pelajar), 1999 bergantung kepada tahap kesalahan yang dilakukan oleh pelajar.

2.3. Pelajar yang didapati melakukan kesalahan kali kedua akan diambil tindakan seperti di perkara dan dicadang untuk diambil tindakan tatatertib mengikut peruntukan Akta Universiti dan Kolej Universiti, 1971, Kaedah-kaedah Universiti Teknologi Malaysia (Tatatertib Pelajar-pelajar), 1999.

SECTION A / BAHAGIAN A : 10 QUESTIONS/10 MARKS / 10 SOALAN/10 MARKAH

INSTRUCTION: Answer 'TRUE' for true statement and 'FALSE' for false statement.

ARAHAN: Jawab 'BENAR' untuk pernyataan benar dan 'SALAH' untuk pernyataan salah.

1. Digital system must require that voltage levels change between high and low.
Sistem digital mesti memerlukan pertukaran voltan berubah di antara tinggi dan rendah.
2. The largest single digit in the octal number system is 8.
Digil tunggal yang terbesar dalam sistem nombor oktal adalah 8.
3. The OR gate performs as two switches connected in series.
Get OR bertindak sebagai dua suis disambung secara sesiri.
4. The commutative law of Boolean addition states that $A+B=A.B$.
Hukum tukarganti dalam penambahan Boolean dinyatakan sebagai $A+B=A.B$.
5. The abbreviation for an exclusive-OR is XOR.
Singkatan bagi exclusive-OR adalah XOR.
6. NAND gates cannot be used to construct NOR gates.
Get NAND tidak boleh digunakan untuk menghasilkan get NOR.
7. Full-adder can add two numbers and need not have a carry input or a carry output.
Penambah penuh menambah dua nombor dan tidak mempunyai masukan dan keluaran pembawa.
8. The function of a decoder is to break a decimal or other character code down into a binary code.
Fungsi pengekod adalah untuk memecahkan kod desimal dan aksara lain ke kod binari.
9. A multiplexer has multiple inputs and a single output.
Pemultipleks mempunyai beberapa masukan dan satu keluaran.
10. The purpose of the clock input to a flip-flop is to clear the device.
Tujuan masukan jam pada flip-flop adalah untuk membersihkan peranti.

SECTION B : MULTIPLE CHOICE (10 QUESTIONS / 20 MARKS)

BAHAGIAN B : ANEKA PILIHAN (10 SOALAN / 20 MARKAH)

1. The OR logic function can be performed by

Fungsi logik OR boleh dilakukan oleh

- A. two or more switches in parallel / dua atau lebih suis secara selari
- B. two or more switches in series / dua atau lebih suis secara bersiri
- C. one switch in series with two parallel switches / satu suis bersiri dengan dua suis selari
- D. an AND gate and a NOT gate / get AND dan get NOT

2. What is the major difference between half-adders and full-adders?

Apakah perbezaan utama antara penambah separuh dan penambah penuh?

- A. Nothing basically; full-adders are made up of two half-adders. / Tiada apa-apa pada dasarnya; penambah penuh terdiri daripada dua penambah separuh.
- B. Full-adders can handle double digit numbers. / Penambah penuh boleh mengendalikan nombor dua digit.
- C. Full-adders have a carry input capability. / Penambah penuh mempunyai keupayaan input pembawa.
- D. Half-adders can only handle single digit numbers. / Penambah separuh hanya boleh mengendalikan nombor satu digit.

3. Which circuit in Figure 1 that implements the equation, $X = A'B + AC' + ABC$?

Mana satu litar dalam Rajah 1 melaksanakan persamaan $X = A'B + AC' + ABC$?

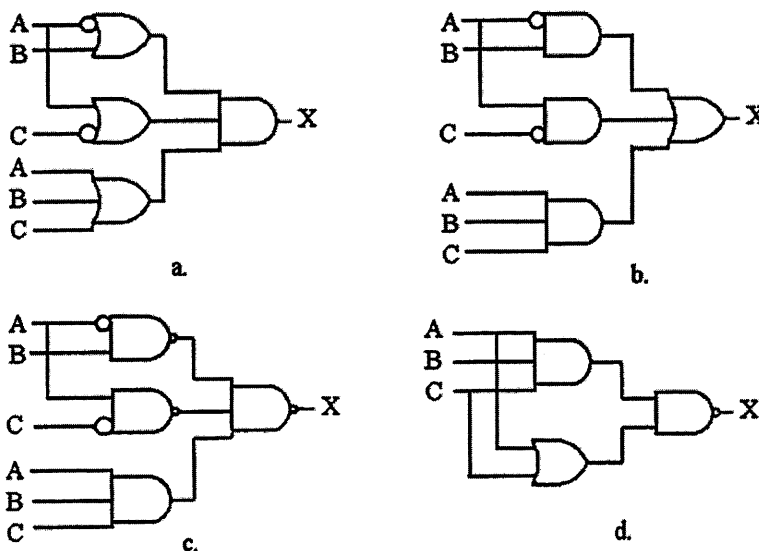


Figure 1/ Rajah 1

4. How many gates, including inverters, are required to implement the equation, $X = ACD' + A'B(CD + BC)$?

Berapakah bilangan get, termasuk inverter, yang diperlukan untuk melaksanakan persamaan $X = ACD' + A'B(CD + BC)$?

- A. 5
- B. 9
- C. 7
- D. 3

5. Which of the examples below expresses the associative law of addition?

Antara contoh di bawah yang manakah menyatakan hukum bersekutu penambahan?

- A. $A+(B+C) = (A+B)+C$
- B. $A+(B+C) = A+(BC)$ c. $A(BC) = (AB) +C$
- C. $ABC = A+B+C$
- D. $A+(B+C) = (A+B+C)$

6. Which of the following is an important feature of the sum-of-products form of expressions?

Antara berikut, yang manakah merupakan ciri penting bagi ungkapan hasil tambah?

- A. All logic circuits are reduced to nothing more than simple AND and OR gates.
Semua litar logik dikurangkan kepada tidak lebih daripada get mudah DAN dan ATAU.
- B. The delay times are greatly reduced over other forms.
Masa kelewatan sangat dikurangkan berbanding bentuk lain.
- C. No signal must pass through more than 2 gates, not including inverters.
Tiada isyarat mesti melalui lebih daripada 2 get, tidak termasuk inverter.
- D. The maximum number of gates that any signal must pass through is reduced by a factor of two.
Bilangan maksimum get yang mesti dilalui oleh sebarang isyarat dikurangkan dengan faktor dua.

7. What is the primary motivation for using Boolean Algebra to simplify logic expressions?

Apakah motivasi utama menggunakan Algebra Boolean untuk memudahkan ungkapan logik?

- A. May make it easier to understand the circuit. / *Boleh memudahkan untuk memahami litar.*
- B. May reduce the number of gates. / *Boleh mengurangkan bilangan get.*
- C. May reduce the number of inputs required. / *Boleh mengurangkan bilangan input yang diperlukan.*
- D. All of the above are correct. / *Semua di atas adalah betul.*

8. Which statement below best describes a Karnaugh map?

Pernyataan di bawah yang manakah paling sesuai menerangkan peta Karnaugh?

- A. A Karnaugh map can be used to replace Boolean rules.
Peta Karnaugh boleh digunakan untuk menggantikan peraturan Boolean.
- B. The Karnaugh map eliminates the need for using NAND and NOR gates.
Peta Karnaugh menghapuskan keperluan untuk menggunakan get NAND dan NOR.
- C. Variable complements can be eliminated by using Karnaugh maps.
Pelengkap boleh ubah boleh dihapuskan dengan menggunakan peta Karnaugh.
- D. Karnaugh maps provide a cookbook approach to simplifying Boolean expressions.
Peta Karnaugh menyediakan pendekatan buku masakan untuk memudahkan ungkapan Boolean

9. For a three-input AND gate, with the input waveforms as shown in Figure 2, which output waveform is correct?

Untuk get AND tiga-masukan, dengan bentuk gelombang masukan seperti yang ditunjukkan dalam Rajah 2, bentuk gelombang keluaran yang manakah betul?

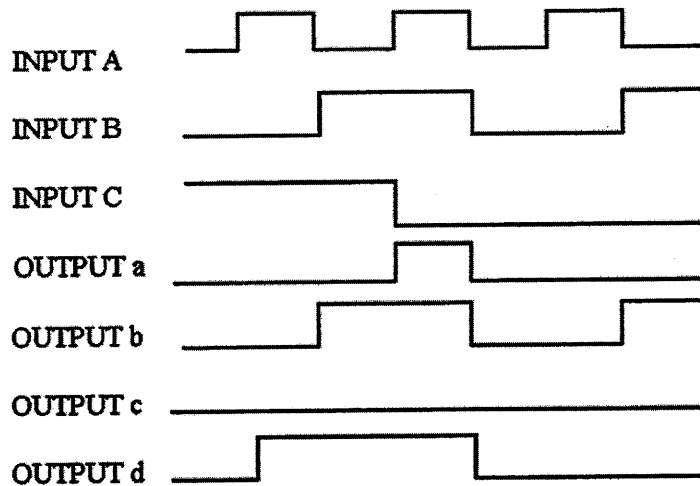


Figure 2 / Rajah 2

10. Which of the following statements describes the operation of the XOR gate?

Antara pernyataan berikut, yang manakah menerangkan pengendalian get XOR?

A. The output is HIGH if either of the inputs is HIGH.

Keluaran adalah TINGGI jika salah satu daripada masukan adalah TINGGI.

B. The output is HIGH only if both inputs are HIGH.

Keluaran adalah TINGGI hanya jika kedua-dua masukan adalah TINGGI.

C. The output will be HIGH only if the two inputs are at opposite levels.

Keluaran akan menjadi TINGGI hanya jika kedua-dua masukan berada pada tahap yang bertentangan.

D. The output will be HIGH if and only if both inputs are HIGH or LOW.

Keluaran akan menjadi TINGGI jika dan hanya jika kedua-dua masukan adalah TINGGI atau RENDAH.

SECTION C: SUBJECTIVE QUESTION [70 MARKS]

BAHAGIAN C: SOALAN SUBJEKTIF [70 MARKAH]

1. There is a circuit that requires an input signal with the following characteristics: Rise time = 10ns
Pulse width = 40ns Fall time= 20ns Duty cycle = 40%. What is the frequency of the input signal?

[4M]

Terdapat litar yang memerlukan isyarat input dengan ciri-ciri berikut: Masa naik = 10ns Lebar nadi = 40ns Masa jatuh= 20ns Kitaran tugas = 40%. Apakah kekerapan isyarat input?

2. Perform the following number systems:

Lakukan sistem nombor berikut:

a. Binary to Decimal/ *Binari ke Desimal*; **1001111.11**. [4M]

b. Hexadecimal to Binary/ *Heksadesimal ke Binari* : **A45D.0BC**₁₆. [4M]

c. Add the hexadecimal number/ *Tambah nombor Heksadesimal*:
FF1B₁₆ + **A12D**₁₆ [5M]

d. Add in 2's complement form / *Tambah dalam bentuk pelengkap dua*:
-245 and -78 [5M]

e. Add the following BCD numbers / *Tambah nombor BCD* **1001 0010 and 1000 1001**. [5M]

3. Write the equivalent gate for each question below: [4M]

a. Four get NAND

b. Three get NOR

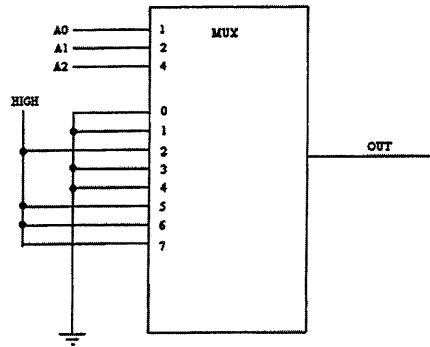
Tuliskan get yang sama bagi setiap soalan di bawah:

a. *Empat get NAND*

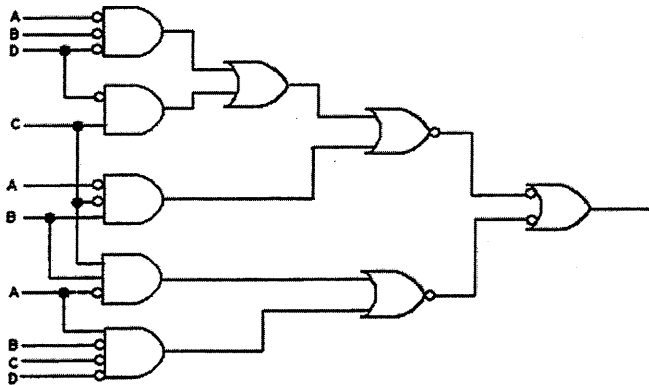
b. *Tiga get NOR*

4. The following multiplexer circuit simulates discrete logic. What is the Boolean equation for the multiplexer? Your answer must be in standard sum of products form. [5M]

Litar pemultipleks berikut menyerupai logik diskret. Apakah persamaan Boolean untuk pemultipleks? Jawapan anda mestilah dalam bentuk jumlah produk standard.



5. Simplify the following circuit using any simplification method. Draw the resulting circuit [6M]
 Permudahkan litar berikut menggunakan sebarang kaedah pemudahan. Lukiskan litar yang terhasil



6. Simplify the following expression using a Karnaugh map. [8M]
 Permudahkan ungkapan berikut menggunakan peta Karnaugh.

$$\bar{W}\bar{X}\bar{Y} + \bar{W}\bar{X}YZ + \bar{W}\bar{X}Y\bar{Z} + X\bar{Y}Z + W\bar{X}\bar{Y}\bar{Z} + \bar{X}Y\bar{Z} + WXY\bar{Z} + W\bar{X}Y$$

7. Show how the following expressions can be implemented as stated using: [6M]
 Tunjukkan bagaimana ungkapan berikut boleh dilaksanakan menggunakan:

$$X = B[C\bar{D}E + \bar{E}FG][\bar{A}\bar{B} + C]$$

- a. only AND, OR and NOT gate / hanya get AND, OR dan NOT sahaja
 b. only NOR gate / hanya get NOR sahaja

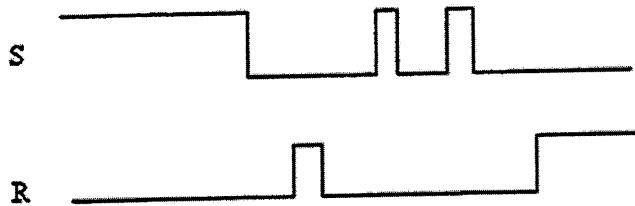
8. Convert the equation to standard SOP and standard POS form
Tukarkan persamaan ke piawai SOP dan piawai POS

[6M]

$$\bar{A}C[\overline{ABD}] + \bar{A}B\bar{C}\bar{D} + A\bar{B}C$$

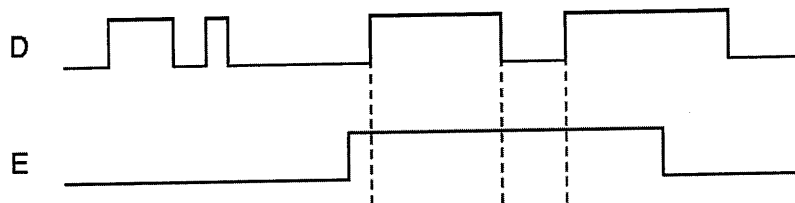
9. Draw the timing diagram for the Q output of an R-S latch.
Lukis gambar rajah pemasaan bagi keluaran Q bagi selak R-S.

[4M]



10. Draw the timing diagram showing the output waveform for a gated D latch if the latch is initially RESET.
[4M]

Lukis gambar rajah pemasaan menunjukkan gelombang keluaran selak get D jika nilai awalan selak adalah RESET.



END OF QUESTIONS/SOALAN TAMAT