



**KOLEJ YAYASAN PELAJARAN JOHOR
FINAL EXAMINATION**

COURSE NAME : DIGITAL ELEKTRONIK
COURSE CODE : DEG 2113
EXAMINATION : OKTOBER 2017
DURATION : 2 ½ HOURS

INSTRUCTION TO CANDIDATES

1. This examination paper consists of **FIVE (5)** Questions.
2. Answer **ALL** Questions.
3. Please check to make sure that this examination pack consist of:
 - i. Question Paper
 - ii. Answer Booklet

DO NOT TURN THIS PAGE UNTIL YOU ARE TOLD TO DO SO

This examination paper consists of 10 printed pages including front page

This paper contains of **FIVE(5)** questions. Answer **ALL** questions. Answer the questions in Answer Booklet.

Kertas soalan ini mengandungi LIMA (5) soalan. Jawab SEMUA soalan. Sila jawab dalam buku jawapan.

QUESTION 1 / SOALAN 1

- a. Describe briefly the terms below:

Terangkan dengan ringkas istilah-istilah berikut:

- i. analog quantity / *kuantiti analog.*
- ii. digital representations / *perwakilan digital.*

(2 marks/ markah)

- b. Convert the hexadecimal number $17A_{16}$ to the following numbers or codes.

Show the method conversion.

- i. Decimal number
- ii. Binary number
- iii. Octal number
- iv. Gray code
- v. BCD 8421
- vi. Excess-3

Tukarkan nombor perenambelas $17A_{16}$ kepada sistem nombor atau kod berikut. Tunjukkan kaedah pengiraan.

- i. *Nombor perpuluhan (desimal)*
- ii. *Nombor perduaan (binari)*
- iii. *Nombor perlapanan (oktal)*
- iv. *Kod gray*
- v. *BCD 8421*
- vi. *Excess-3 (lebih tiga)*

(12 marks/ markah)

- c. Express each decimal number in binary as 8 bit sign-magnitude, 1'st complement and 2'nd complement for numbers.

Tunjukkan bagi setiap nombor desimal dengan menggunakan 8 bit tanda magnitud bagi pelengkap 1 dan pelengkap 2 bagi nombor berikut.

- i. $-52_{10} - 12_{10}$
- ii. $-34_{10} + 40_{10}$
- iii. $+45_{10} - 25_{10}$

(6 marks/ markah)

QUESTION 2 / SOALAN 2

- a. Determine the standard logic gate based on the statement below.
- i. The logic gate will produce LOW output if two inputs are opposite level.
 - ii. The logic gate will produce HIGH output if one of the inputs is HIGH.

Tentukan get logik berdasarkan kepada pernyataan di bawah.

- i. *Logik get akan mengeluarkan keluaran RENDAH jika dua masukan adalah pada aras yang berlainan.*
- ii. *Logik get akan mengeluarkan keluaran TINGGI jika salah satu masukan TINGGI.*

(4 marks/ markah)

- b. Refer to logic circuit in Figure Q2 (b) (i):
- i. find the output expression, Y.
 - ii. write the truth table for the circuit.
 - iii. draw the output waveform Y in Figure Q2 (b) (ii) by referring to the circuit in Figure Q2 (b) (i).

Merujuk kepada litar logik dalam Rajah Q2 (b) (i):

- i. dapatkan persamaan keluaran, Y.
- ii. tuliskan jadual kebenaran bagi litar tersebut.
- iii. lukiskan gelombang keluaran Y dalam Rajah Q2 (b) (ii) dengan merujuk kepada litar dalam Rajah Q2 (b) (i).

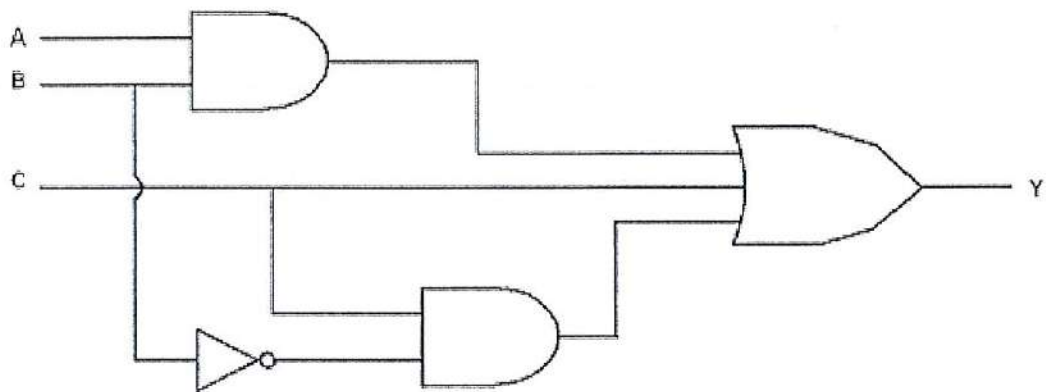


Figure Q2 (b) (i) / Rajah Q2 (b) (i)

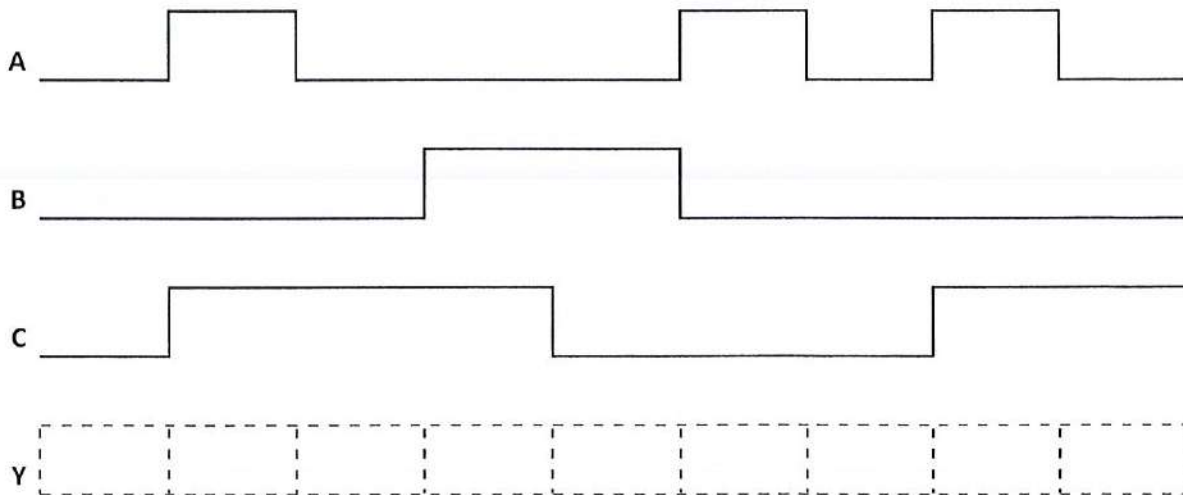


Figure Q2 (b) (ii) / Rajah Q2 (b) (ii)

(10 marks/ markah)

- c. Figure Q2 (c) how a logic circuit diagram for a particular digital system that operated when the output Z is active-LOW. By employing alternative logic gates, draw the equivalent logic circuit representation to determine the possible input combinations to operate the digital system.

Rajah Q2 (c) menunjukkan sebuah gambar rajah litar logik bagi satu sistem digital yang beroperasi apabila keluaran Z adalah aktif-RENDAH. Dengan menggunakan get-get logik alternatif, lukiskan perwakilan litar logik yang setara untuk menentukan kombinasi-kombinasi masukan yang berkemungkinan untuk membolehkan sistem digital tersebut beroperasi.

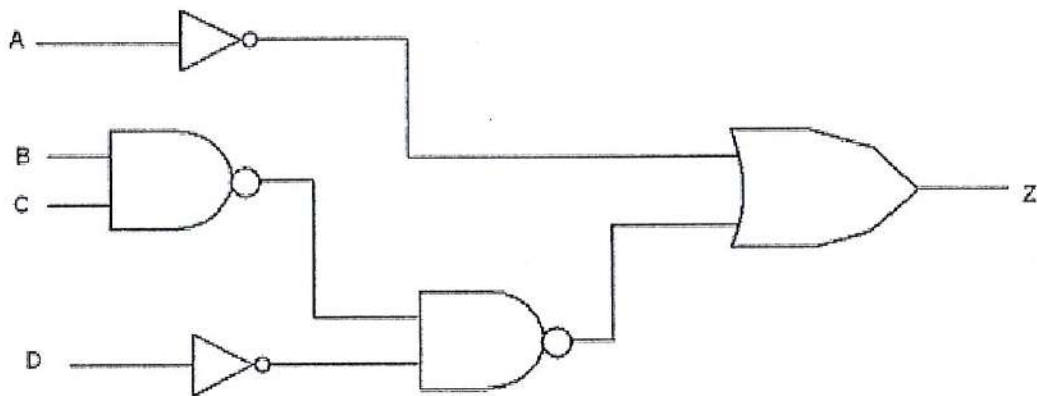


Figure Q2 (c) / Rajah Q2 (c)

(6 marks/ markah)

QUESTION 3 / SOALAN 3

- a. Simplify the following expression using deMorgan theorem and Boolean Algebra.

Ringkaskan persamaan-persamaan berikut menggunakan teorem deMorgan dan Aljabar Boolean.

- i. $X = [(AB' (A+B))]'$
- ii. $Y = [A + B' (AB' + A'B) (A+B)]'$
- iii. $Z = (ABC)' (A + B + C)'$

(9 marks/ markah)

- b. A combinational circuit has three binary inputs B, S, I and three binary outputs X, Y, and Z. Each input represents an item that a person may order at a fast food place. The items are :

| | |
|---------------------------|------------------|
| B stands for burger | which cost = RM3 |
| S stands for soda water | which cost = RM1 |
| I stands for an ice cream | which cost = RM2 |

Each input can only be 1 or 0, which means that a customer can order only one (or none at all for B=0, S=0, I=0). The outputs represent a 3 bit encoding of the total cost of the order. For example, for B=1, s=1 and I=0 (which evaluates to RM4) the output should be X=1, Y=0, Z=0).

- i. Obtain the truth table for this combinational circuit.
- ii. Determine the minimum expression for X, Y and Z.
- iii. Construct logic circuits for the expression from (ii).

Sebuah litar gabungan mempunyai tiga masukan binary B , S , I dan tiga keluaran binari X , Y dan Z . Setiap masukan mewakili item yang mungkin pelanggan akan membuat pesanan di tempat makan segera. Item-item tersebut adalah:

| | |
|------------------------|---------------------|
| B bermaksud burger | yang berharga = RM3 |
| S bermaksud air soda | yang berharga = RM1 |
| I bermaksud aiskrim | yang berharga = RM2 |

Setiap masukan hanya boleh 1 atau 0, di mana bermaksud setiap pelanggan hanya boleh membuat pesanan sekali sahaja (atau tiada pesanan langsung, $B=0$, $S=0$, $I=0$). Keluaran mewakili pengkodan 3 bit bagi jumlah yang dipesan. Contohnya, bagi for $B=1$, $S=1$ dan $I=0$ (dimana bernilai RM4) keluaran mestilah $X=1$, $Y=0$, $Z=0$.

- i. Dapatkan jadual benar bagi litar gabungan tersebut.
- ii. Tentukan pernyataan yang minima bagi X , Y dan Z .
- iii. Hasilkan litar-litar logik bagi pernyataan dari (ii).

(11 marks/ markah)

QUESTION 4 / SOALAN 4

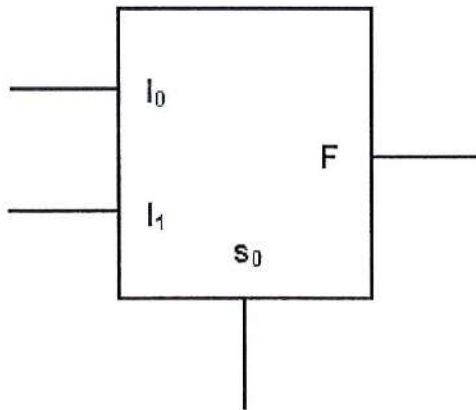
- a. How does a priority encoder differ from an ordinary encoder?

Bagaimanakah pengekod keutamaan berbeza dari pengekod biasa?

(3 marks/ markah)

- b. Write the Boolean expression for the output F of the multiplexer in Figure Q4 (b) in SOP form.

Tuliskan pernyataan Boolean bagi keluaran F sebuah pemultipleks dalam Rajah Q4 (b) dalam bentuk SOP.



Logic symbol / Simbol logik

| S_0 | F |
|-------|-------|
| 0 | I_0 |
| 1 | I_1 |

Truth table / Jadual benar

Figure Q4 (b) / Rajah Q4 (b)

(6 marks/ markah)

- c. Figure Q4 (c) shows the logic symbol for the half-adder.

- i. Develop the truth table.
- ii. Determine the logic expression for Σ and C_{out} .
- iii. Implement Σ and C_{out} using multiplexer (MUX).

Rajah Q4 (c) menunjukkan simbol logik bagi satu penambah separuh.

- i. Bina jadual kebenaran.
- ii. Tentukan ungkapan logik untuk Σ dan C_{out} .
- iii. Laksanakan Σ dan C_{out} dengan menggunakan pemultipleks (MUX).

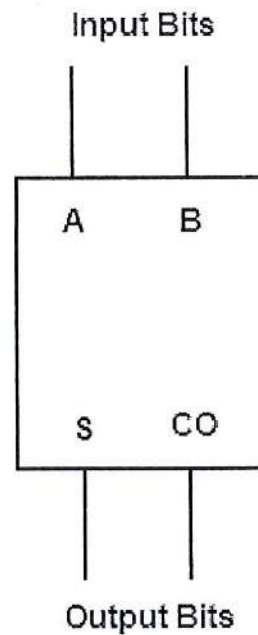


Figure Q4 (c) / Rajah Q4 (c)

(11 marks/ markah)

QUESTION 5 / SOALAN 5

- a. What is the suitable size of PAL (programmable Array Logic) to implement the logic circuit as mentioned by the following Boolean expression and show the connection of the PAL.

Apakah saiz PAL yang sesuai untuk melaksanakan litar logik yang dinyatakan oleh persamaan Boolean berikut, serta tunjukkan sambungan PAL tersebut.

$$F_0 = A'BC + AB' + B'C'$$

$$F_1 = A + BC'$$

$$F_2 = AB' + A'B + AC'$$

(10 marks/ markah)

b. Referring to Figure Q5 (b), determine the value of:

Merujuk kepada Rajah Q5 (b), tentukan nilai-nilai berikut:

- i. V_{IH}
- ii. $V_{IH(min)}$ and $V_{IL(max)}$
- iii. V_{OL}
- iv. $V_{oH(min)}$ and $V_{oL(max)}$

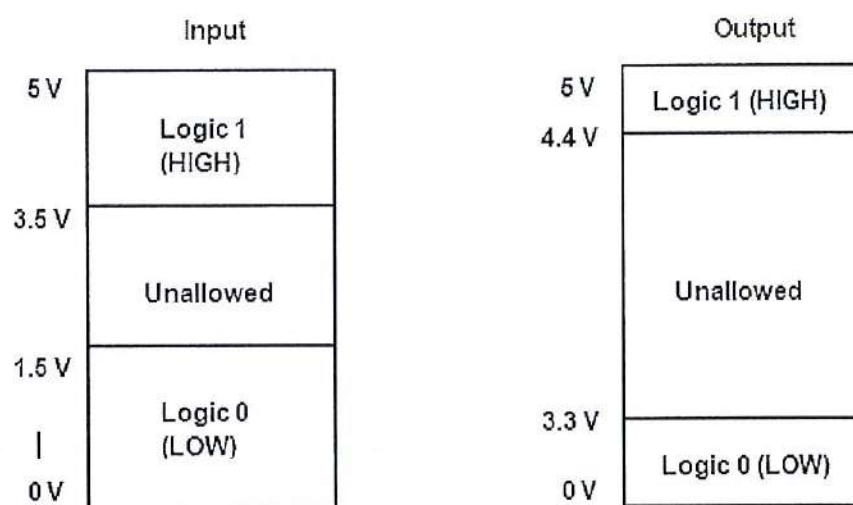


Figure Q5 (b) / Rajah Q5 (b)

(4 marks/ markah)

c. State the following term.

Nyatakan istilah berikut.

- i. Propagation delay / Langkah perambatan
- ii. Noise immunity / Immuniti hingar
- iii. Fan-Out / Rebak keluar

(6 marks/ markah)

[100 MARKS / 100 MARKAH]

END OF QUESTION PAPER / KERTAS SOALAN TAMAT

