



FINAL EXAMINATION / PEPERIKSAAN AKHIR
SEMESTER I – SESSION 2021 / 2022 / SEMESTER I – SESI 2021 / 2022
PROGRAM KERJASAMA

COURSE CODE : DDWD 1243
KOD KURSUS

COURSE NAME : DIGITAL LOGIC
NAMA KURSUS LOGIK DIGITAL

YEAR / PROGRAMME : 1 DDWD
TAHUN / PROGRAM

DURATION : 3 HOURS (INCLUDING SUBMISSION HOUR)
TEMPOH 3 JAM (TERMASUK MASA PENGHANTARAN)

DATE : DECEMBER 2021
TARIKH DISEMBER 2021

INSTRUCTION / ARAHAN:

1. The question paper consists of **3 PARTS**: A, B and C.
Kertas soalan terdiri daripada 3 BAHAGIAN: A, B dan C.
 2. Answer **ALL** questions and write your answers on the answer sheet.
Jawab SEMUA soalan dan tulis jawapan anda pada kertas jawapan.
 3. Write your name, matric no., identity card no., course code, course name, section no. and lecturer's name on the first page (in the upper left corner) and every page thereafter on the answer sheet.
Tulis nama anda, no. matrik, no. kad pengenalan, kod kursus, nama kursus, no. seksyen dan nama pensyarah pada muka surat pertama (penjuru kiri atas) kertas jawapan dan pada setiap muka surat jawapan.
 4. Each answer sheet must have a page number written at the bottom right corner.
Setiap helai kertas jawapan mesti ditulis nombor muka surat pada bahagian bawah penjuru kanan.
 5. Answers should be handwritten, neat and clear.
Jawapan hendaklah ditulis tangan, kemas dan jelas menggunakan huruf cerai.
-

WARNING / AMARAN

Students caught copying / cheating during the examination will be liable for disciplinary actions and the faculty may recommend the student to be expelled from sitting for exam.
Pelajar yang ditangkap meniru / menipu semasa peperiksaan akan dikenakan tindakan disiplin dan pihak fakulti boleh mengesyorkan pelajar diusir dari menduduki peperiksaan.

This examination paper consists of **12** pages including the cover.
Kertas soalan ini mengandungi 12 muka surat termasuk kulit hadapan

ONLINE EXAMINATION RULES AND REGULATIONS
PERATURAN PEPERIKSAAN SECARA DALAM TALIAN

1. Student must carefully listen and follow instructions provided by invigilator.
Pelajar mesti mendengar dan mengikuti arahan yang diberikan oleh pengawas peperiksaan dengan teliti.
2. Student is allowed to start examination only after confirmation of invigilator if all needed conditions are implemented.
Pelajar dibenarkan memulakan peperiksaan hanya setelah pengesahan pengawas peperiksaan sekiranya semua syarat yang diperlukan telah dilaksanakan.
3. During all examination session student has to ensure, that he is alone in the room.
Semasa semua sesi peperiksaan pelajar harus memastikan bahawa dia bersendirian di dalam bilik.
4. During all examination session student is not allowed to use any other devices, applications except other sites permitted by course lecturer.
Sepanjang sesi peperiksaan pelajar tidak dibenarkan menggunakan peranti dan aplikasi lain kecuali yang dibenarkan oleh pensyarah kursus.
5. After completing the exam student must inform invigilator via the set communication platform (eg. WhatsApp etc.) about completion of exam and after invigilator's confirmation leave examination session.
Selepas peperiksaan selesai, pelajar mesti memaklumkan kepada pengawas peperiksaan melalui platform komunikasi yang ditetapkan (contoh: Whatsapp dan lain-lain) mengenai peperiksaan yang telah selesai dan meninggalkan sesi peperiksaan selepas mendapat pengesahan daripada pengawas peperiksaan.
6. Any technical issues in submitting answers online have to be informed to respective lecturer within the given 30 minutes. Request for re-examination or appeal will not be entertain if complains are not made by students to their lecturers within the given 30 minutes.
Sebarang masalah teknikal dalam menghantar jawapan secara dalam talian perlu dimaklumkan kepada pensyarah masing-masing dalam masa 30 minit yang diberikan. Permintaan untuk pemeriksaan semula atau rayuan tidak akan dilayan sekiranya aduan tidak dibuat oleh pelajar kepada pensyarah mereka dalam masa 30 minit yang diberikan.
7. During online examination, the integrity and honesty of the student is also tested. At any circumstances student is not allowed to cheat during examination session. If any kind of cheating behaviour is observed, UTM have a right to follow related terms and provisions stated in the respective Academic Regulations and apply needed measures.
Semasa peperiksaan dalam talian, integriti dan kejujuran pelajar juga diuji. Walau apa pun keadaan pelajar tidak dibenarkan menipu semasa sesi peperiksaan. Sekiranya terdapat sebarang salah laku, UTM berhak untuk mengikuti terma yang dinyatakan dalam Peraturan Akademik.

Excerpts from online final exam guidelines
Petikan daripada panduan peperiksaan akhir dalam talian
Universiti Teknologi Malaysia

PART A: TRUE AND FALSE [10 MARKS]

BAHAGIAN A: BETUL DAN SALAH [10 MARKAH]

Instruction: Write "T" for TRUE statement or "F" for FALSE statement in your answer sheet.

Arahan: Tuliskan "T" bagi pernyataan yang BENAR atau "F" bagi pernyataan yang SALAH dalam kertas jawapan anda.

1. The octal number system is a weighted system with eight digits.
Sistem bernombor oktal adalah sistem berpemberat dengan lapan digit.
2. In hexadecimal, $9 + 1 = 10$.
Dalam heksadesimal, $9 + 1 = 10$.
3. The 1's complement of the binary number 1010 is 0101.
Pelengkap pertama bagi nombor binari 1010 is 0101.
4. If all inputs to an AND gate are 1, the output is 0.
Jika semua masukan ke get AND adalah 1, keluarannya adalah 0.
5. A NOT gate cannot have more than one input.
Get NOT tidak boleh mempunyai lebih daripada satu masukan.
6. The commutative law, associative law and distributive law are all laws in Boolean Algebra.
Hukum tukar ganti, hukum sekutuan dan hukum taburan adalah semua hukum di dalam Algebra Boolean.
7. The complement of 0 is 0 itself.
Pelengkap 0 adalah 0 itu sendiri.
8. SOP means sum-of-procedure.
SOP bermaksud jumlah prosedur.
9. A latch is considered to be in the RESET state when the Q output is low.
Selak dianggap berada dalam keadaan RESET ketika keluaran Q adalah rendah.
10. A clock input is necessary for an edge-triggered flip-flop.
Masukan jam diperlukan untuk picuan flip-flop.

PART B: OBJECTIVE [20 MARKS]

BAHAGIAN B: OBJEKTIF [20 MARKAH]

Instruction: Write the correct answer in your answer sheet.

Arahan: Tuliskan jawapan yang tepat di dalam kertas jawapan anda.

- Express the 2's complement for the number -34 _____
Tentukan pelengkap 2' bagi nombor -34 _____
 - 00100010
 - 10100010
 - 11011101
 - 11011110
- State the value of AB_{16} into Octal / *Tentukan nilai AB_{16} ke dalam oktal.*
 - 250
 - 251
 - 253
 - 255
- The decimal equivalent of the octal number 645_8 is _____.
Nombor perpuluhan yang bersamaan dengan nombor oktal 645_8 adalah _____.
 - 450
 - 451
 - 421
 - 501
- The binary number 11011101_2 is equal to the decimal number _____.
Nombor binari 11011101_2 bersamaan dengan nombor desimal _____.
 - 121
 - 221
 - 441
 - 256

5. The NAND gate output will be low if the two inputs are _____.
Keluaran get NAND akan rendah jika kedua-dua masukan adalah _____.
- A. 0,0
 - B. 0,1
 - C. 1,0
 - D. 1,1

6. Determine the Boolean expression for Figure B-1.
Tentukan persamaan Boolean bagi Rajah B-1.

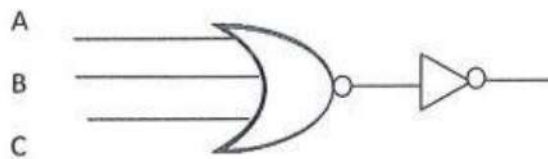


Figure B-1 / Rajah B-1

- A. ABC
- B. $A'B'C'$
- C. $A+B+C$
- D. $A'+B'+C'$

7. Simplify $Y = AB' + (A'+B)C$.
Permudahkan $Y = AB' + (A'+B)C$.

- A. $AB' + C$
- B. $AB + AC$
- C. $A'B' + AC'$
- D. $AB + A$

8. How many AND gates are required to realize $Y = CD + EF + G$?
Berapakah get AND yang diperlukan untuk menyelesaikan $Y = CD + EF + G$?

- A. 4
- B. 5
- C. 3
- D. 2

9. Produce the Boolean expression (R) for the logic circuit in Figure B-2.

Hasilkan pernyataan Boolean (R) bagi litar logik pada Rajah B-2.

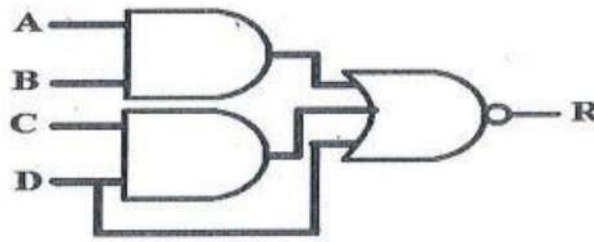


Figure B-2 / Rajah B- 2

- A. $AB + CD + D$
B. $\overline{AB + CD + D}$
C. $(A + B)(C + D)(D)$
D. $\overline{(A + B)(C + D)(D)}$
10. The output expression for AND-OR circuit having one AND gate with inputs A, B and C and one AND gate with inputs D, E and F is _____.
- Penyataan keluaran bagi litar AND-OR yang mempunyai satu get AND dengan input A, B dan C dan satu get AND dengan input D, E dan F adalah _____.*
- A. ABCDEF
B. $A + B + C + D + E + F$
C. $ABC + DEF$
D. $(A + B + C)(D + E + F)$

PART C: STRUCTURE [70 MARKS]
BAHAGIAN C: STRUKTUR [70 MARKAH]

Instruction: Write the correct answers in your answer sheet.

Arahan: Tuliskan jawapan yang betul di dalam kertas jawapan anda.

QUESTION 1 / SOALAN 1

a) In digital circuit, what are the meaning of logic level? [2M]

Dalam litar digital, apakah yang dimaksudkan dengan paras logik?

i. _____

ii. _____

b) Name the device that have been use for converting digital data to analog data. [1M]

Namakan peranti yang digunakan untuk menukar data digital ke data analog.

c) Explain the advantages of digital techniques from the following aspects: [2M]

Terangkan mengenai kelebihan teknik digital daripada aspek yang berikut:

i. Storage/ Simpanan

ii. Reading accuracy / Ketepatan bacaan

d) A portion of a periodic digital waveform is shown in **Figure C-1**. The measurements are in milliseconds. Determine the following:

*Sebahagian daripada bentuk gelombang digital berkala ditunjukkan dalam **Rajah C-1**. Pengukuran adalah dalam milisaat. Tentukan yang berikut:*

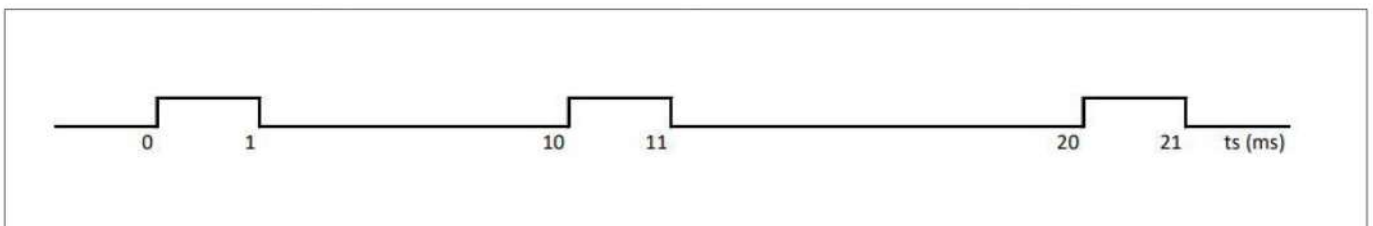


Figure C-1/ Rajah C-1

- i. Is the pulse waveform periodic or non-periodic? [1M]
Adakah bentuk gelombang denyutan jenis berkala atau tidak berkala?
- ii. Frequency / *kekerapan* [2M]
- iii. Duty cycle / *kitaran kerja* [2M]
- e) Which gates are called as the universal gates? Why the gates are called as universal gates? [4M]
Get manakah yang dikenali sebagai get universal? Kenapa get tersebut dipanggil get uiniversal?
- f) Determine the operation of D flip-flop. [2M]
Nyatakan operasi D flip-flop.
- g) In J-K flip-flop state the operation below: [4M]
Dalam J-K flip flop nyatakan operasi di bawah:
- i. When K input is low and J input is high. The Q output of flip-flop is _____.
Bila input K adalah rendah dan input J adalah tinggi. Flip-flop bagi output Q adalah _____.
- ii. When K input is _____ and J input is _____. The Q output of flip-flop is reset.
Bila input K adalah _____ dan input J adalah _____. Flip-flop bagi output Q adalah set semula.
- iii. When both the inputs K and J are low. The Q output of flip-flop _____.
Bila kedua-dua input K dan input J adalah rendah. Flip-flop bagi output Q adalah _____.

QUESTION 2 / SOALAN 2

- a) Represent the decimal value **37** in each of the following ways: **[3M]**
Wakili nilai desimal 37 dengan setiap cara berikut:
- i. Convert to hexadecimal / *tukarkan kepada heksadesimal*
 - ii. Convert to BCD number / *tukarkan kepada nombor BCD*
 - iii. Convert to binary / *tukarkan kepada binari*
- b) The decimal number **-17** is expressed in the 2's complement form as **[3M]**
Nombor desimal -17 jika diungkapkan dalam bentuk pelengkap 2 sebagai
- c) Add the BCD number: **01100111 + 01010011**. **[3M]**
Tambahkan nombor BCD: 01100111 + 01010011.
- d) Convert the Gray code **10101111** to binary. **[1M]**
Tukarkan Kod Gray 10101111 kepada binari.

QUESTION 3 / SOALAN 3

- a) Simplify the Boolean equation $s = \overline{w + \overline{xy}} + yz + \overline{xy}$ by using Boolean Theorem and DeMorgan Theorem if necessary. [8M]

Permudahkan persamaan Boolean $s = \overline{w + \overline{xy}} + yz + \overline{xy}$ dengan menggunakan Teorem Boolean dan DeMorgan Teorem jike berkeperluan.

- b) Based on your answer in 3(b), construct a simplified circuit diagram. [3M]

Berdasarkan jawapan anda di 3(b), bina litar logik yang diringkaskan.

- c) Construct a logic circuit for the expression $Y = AC + BC' + A'BC$ [6M]

Bina litar logik bagi ungkapan $Y = AC + BC' + A'BC$

QUESTION 4 / SOALAN 4

Show SOP minimization for expression below by using Karnaugh Map (K-map): [10M]

Tunjukkan SOP minimum bagi ungkapan di bawah dengan menggunakan Peta Karnaugh (K-map):

$$X = A' B' C' + A' B' C + A' B C' + A B C' + A B' C' + A B' C$$

QUESTION 5 / SOALAN 5

- a) The data-input and data-select waveforms in **Figure C-2(a)** are applied to the multiplexer in **Figure C-2(b)**. Determine the output waveform in relation to the inputs. [6M]

Masukan data dan gelombang pilihan data dalam **Rajah C-2(a)** digunakan pada pemultipleks di **Rajah C-2(b)**. Tentukan bentuk gelombang keluaran yang berkaitan dengan masukan.

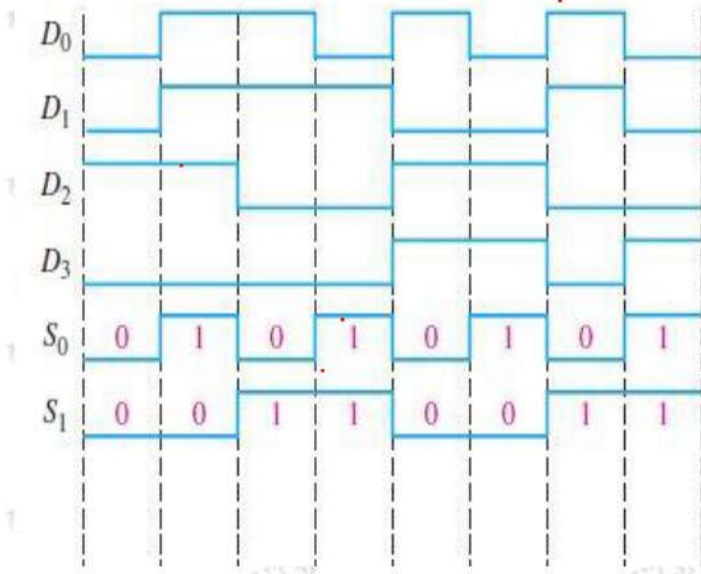


Figure C-2(a) / Rajah C-2(a)

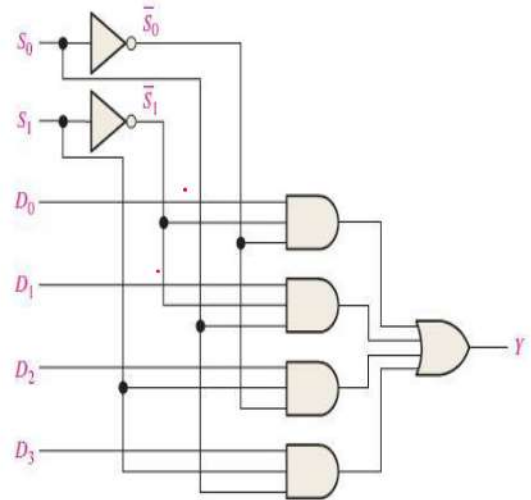


Figure C-2(b) / Rajah C-2(b)

Draw your output waveform in the box given. / Lukis gelombang output anda di dalam kotak yang disediakan.

Y

| | | | | | | | | |

- b) If the waveform in **Figure C-3** is applied to an active-HIGH S-R latch, draw the resulting Q output waveform in relation to the inputs. Assume that Q starts LOW. [7M]

*Jika bentuk gelombang dalam **Rajah C-3** diterapkan pada selak S-R TINGGI aktif, lukis bentuk gelombang keluaran Q yang dihasilkan berkaitan dengan input. Andaikan bahawa Q bermula RENDAH.*

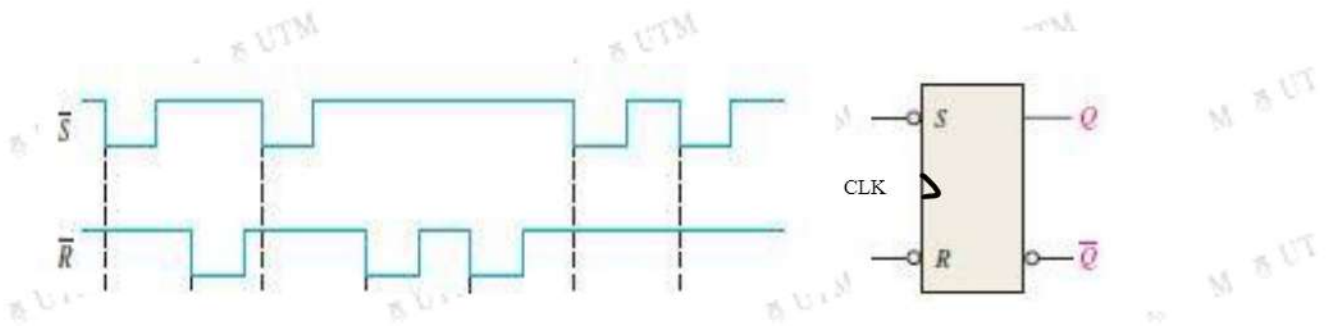


Figure C- 3 / Rajah C- 3

Draw your output waveform in below / Lukis gelombang output anda di bawah:

